

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-027773

(43)Date of publication of application : 30.01.1990

(51)Int.Cl. H01L 29/788
H01L 29/792

(21)Application number : 63-177411

(71)Applicant : NEC CORP

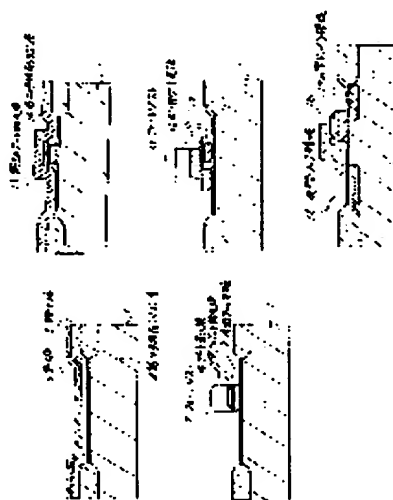
(22)Date of filing : 15.07.1988

(72)Inventor : YAMAGATA YASUJI

(54) MANUFACTURE OF NONVOLATILE SEMICONDUCTOR MEMORY**(57)Abstract:**

PURPOSE: To improve insulating characteristic between a control gate electrode and a floating gate by forming an oxide film having a thickness of sufficient insulating characteristic on the side face of the floating gate, and forming a multilayer structure of an oxide film, a nitride film having high coupling capacity value between the floating gate and the control gate on the upper surface of the floating gate.

CONSTITUTION: A first gate oxide film 3 is formed on one conductivity type semiconductor substrate 1, and a floating gate electrode 8 made of polycrystalline silicon and a second gate insulating film 9 having a silicon oxide film and a silicon nitride film are formed on the film 3. With the film 9 as a mask a silicon oxide film 11 is formed on the side face of the electrode 8. A control gate electrode 16 is formed from part of the electrode 8 to the substrate. With the electrodes 16, 8 as masks a drain region 17 and a source region are formed.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-27773

⑬ Int. Cl.⁸

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月30日

H 01 L 29/788
29/792

7514-5F H 01 L 29/78 3 7 1

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 不揮発性半導体記憶装置の製造方法

⑯ 特 願 昭63-177411

⑰ 出 願 昭63(1988)7月15日

⑱ 発 明 者 山 縣 保 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

不揮発性半導体記憶装置の製造方法

2. 特許請求の範囲

一導電型の半導体基板上に第一のゲート酸化膜を形成する工程と、前記第一のゲート酸化膜上に多結晶シリコンでなる浮遊ゲート電極とシリコン酸化膜およびシリコン窒化膜を有する第二のゲート絶縁膜とを形成する工程と、前記浮遊ゲート電極の側面に前記第二のゲート絶縁膜をマスクとしてシリコン酸化膜を形成する工程と、前記浮遊ゲート電極の一部から前記半導体基板上にかけて制御ゲート電極を形成する工程と、前記制御ゲート電極及び前記浮遊ゲート電極をマスクとしてドレイン領域及びソース領域を形成する工程とを含むことを特徴とする不揮発性半導体記憶装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、不揮発性半導体記憶装置の製造方法に関し、特に電気的に消去することが可能なPROM(プログラマブルリードオンリメモリ)を含む不揮発性半導体記憶装置の製造方法に関する。

〔従来の技術〕

第3図(a)~(c)は従来のメモリの書込、消去動作を説明するための半導体チップの断面図である。すなわち、従来の不揮発性半導体記憶装置の構造は、第3図(a)に示すように、P型半導体基板51の表面に設けられたn型ドレイン領域52、n型ソース領域53と、これらドレイン、ソース間のチャンネル領域の一部及びドレイン領域の端部上に、トンネル酸化膜54を介して設けられた浮遊ゲート電極55とゲート酸化膜56を介して浮遊ゲート上に、残りのチャンネル領域上にも延在して設けられた制御ゲート電極57とからなる。

次に、このメモリの動作について説明する。第3図(b)は、このメモリの「書き込み」動作を説

明する図である。ドレイン並びに制御ゲートに高電圧を印加すると、チャンネル領域に反転層58が形成され、そこからドレイン空乏層59内に流れ込んだ電子の一部が、酸化膜のポテンシャルバリアーを超えるのに十分なエネルギーを得て、浮遊ゲートに注入され、結果として浮遊ゲートは負に帯電する。すなわち、二層ゲート部のしきい値は高い方にシフトして、メモリが書き込まれた状態となる。第3図(c)は、このメモリの「消去」動作を説明する図である。制御ゲート電極を接地してドレインに高電圧を印加すると、浮遊ゲート・ドレイン間に高い電界がかかり、トンネル電流が流れて、電子は浮遊ゲートからドレインへ放出される。この結果二層ゲート部のしきい値は低い方にシフトして、メモリは消去された状態となる。

以上説明したような従来のタイプのメモリにおいて、良好な特性、すなわち、より速い書き込み特性、速い消去特性、より多い繰り返し耐性を得るに必要なこととして主として次の3つが上げられる。

1. 制御ゲート・浮遊ゲート間の結合容量値と、浮遊ゲート・ドレイン間の結合容量値の比が大きいこと。この比が大きい程、書き込み時、消去時の浮遊ゲート・ドレイン間の電位差は大きくなるから、より速い書き込み、より速い消去が可能となる。これを実現する方法の一つに、浮遊ゲート上の膜厚を薄くすることが考えられる。
2. 浮遊ゲート・制御ゲート間の絶縁特性が良好であること。実現する一つの方法として、例えば、高温のドライO₂雰囲気での熱酸化膜の形成が考えられる。
3. 浮遊ゲート下のトンネル酸化膜の膜質が良好であること。

次に、従来のこのタイプのメモリの製造方法を説明する。第4図(a)~(e)は、従来の製造方法の一例を説明するための工程順に示した半導体チップの断面図である。まず、第4図(a)に示すように、P型半導体基板101の表面の一部に、通常の選択酸化により厚いフィールド酸化膜102を形成し、次いでフィールド領域以外の半導体基板

に第一のゲート酸化膜(トンネル酸化膜)3を形成する。次に、第4図(b)に示すように、第一の多結晶シリコン層を成長した後、周知のPR(ホトレジスト)技術、エッチング技術により、浮遊ゲート電極104を所定の位置に形成し、次いで、浮遊ゲート電極104で覆われていない部分の第一のゲート酸化膜103を除去した後、浮遊ゲート電極104上並びに半導体基板101上に1100℃以上の高温のドライO₂雰囲気中で第二のゲート酸化膜105を形成する。次に、第4図(c)に示すように、第二の多結晶シリコン層を成長した後周知のPR技術、エッチング技術により、浮遊ゲート上の一部、浮遊ゲートの片側の側面、半導体基板の一部を第二ゲート酸化膜を介して覆うように制御ゲート電極106を形成する。次に、第4図(d)に示すように、浮遊ゲート及び制御ゲートをマスクとして、基板にn型不純物を導入し、n型ドレイン領域107、n型ソース領域108を形成する。最後に、第4図(e)に示すように、全面にリンガラス、シリコン酸化膜等の層間絶縁

膜109を形成した後、周知のPR技術、並びにエッチング技術により、ドレイン領域107上、ソース領域108上、及び制御ゲート電極106上にコンタクト・ホールを形成し、次いでアルミニウム電極110を形成することによりフラッシュEEPROMを製造していた。

〔発明が解決しようとする課題〕

上述した従来の製造方法では、第4図(b)に示すように浮遊ゲート、制御ゲート間の第二ゲート酸化膜105形成工程で良好な絶縁特性を得るために1000℃以上の高温で酸化を行うため、浮遊ゲート下の第一ゲート酸化膜103の膜質が劣化して許容電荷通過量が低下してしまい、結果としてメモリの特性が悪くなってしまうという欠点がある。第一ゲート酸化膜103の膜質の劣化を防ぐためには、第二ゲート酸化膜105の形成を900℃程度の低温酸化で行えば良いが、その場合高温酸化で形成した場合と比較して絶縁特性が著しく劣るため、かなり厚い膜をつける必要がある。そのため、浮遊ゲート・制御ゲート間の結合

容量値が小さくなり、結果として、メモリの書き込みスピード、消去スピードが低下してしまう欠点があった。

そこで、絶縁特性を保ちつつ、低温で形成する方法として、第二ゲート絶縁膜を低温プロセスを用いたONO構造(酸化膜・窒化膜・酸化膜)にするという方法が考えられている。第5図はその半導体チップの断面図を示したものである。ここで、111は第一ゲート酸化膜、112は浮遊ゲート電極、113は酸化膜、114は窒化膜、115は酸化膜、116は制御ゲート電極である。酸化膜113、酸化膜114及び酸化膜115はいずれも900℃程度の低温で形成されている。したがって、酸化膜111の劣化が防止される。また、酸化膜より誘電率の高い窒化膜をゲート絶縁膜として用いるため浮遊ゲート・制御ゲート間の結合容量値の低下も防止することができる。ところが、第二ゲート絶縁膜をONO構造とすると一層ゲートトランジスタ部117のONO膜の窒化膜中に電荷がトラップされてしまい、その電荷

分だけメモリのしきい値が変化してしまい、結果としてメモリの信頼性を損なってしまう欠点があった。以上述べたように、従来の制御方法では、良好な特性をもつメモリを得ることは困難であった。

本発明の目的は、高温プロセスを用いることなく、しかもメモリのしきい値変動を防止して良好な特性をもつことが可能な不揮発性半導体記憶装置の製造方法を提供することにある。

〔課題を解決するための手段〕

本発明の不揮発性半導体装置の製造方法は一導電型の半導体基板の上に第一のゲート酸化膜を形成する工程と、前記第一のゲート酸化膜上に多結晶シリコンでなる浮遊ゲート電極とシリコン酸化膜およびシリコン窒化膜を有する第二のゲート絶縁膜とを形成する工程と、前記浮遊ゲート電極の側面に前記第二のゲート絶縁膜をマスクとしてシリコン酸化膜を形成する工程と、前記浮遊ゲート電極の一部から前記半導体基板にかけて制御ゲート電極を形成する工程と、前記制御ゲート電極及び

前記浮遊ゲート電極をマスクとしてドレイン領域及びソース領域を形成する工程とを含んで構成される。

〔実施例〕

次に、本発明の製造方法を、図面を参照して説明する。

第1図(a)~(h)は、本発明の第1の実施例を説明するための工程順に示した半導体チップの断面図である。まず、第1図(a)に示す様に、P型半導体(シリコン)基板1の表面の一部に、通常の選択酸化により、厚いフィールドシリコン酸化2を形成し、次いでフィールド領域以外の半導体基板上に熱酸化法等により、厚さ50~300Åの第一のゲートシリコン酸化膜3を形成する。次に、第1図(b)に示す様に、第一の多結晶シリコン層4を気相成長法により形成し、次いでその表面に第一のゲート酸化膜が劣化しない温度、例えば900℃で熱酸化することにより、厚さ50~300Åのシリコン酸化膜5を形成し、さらにその上に厚さ100~500Åのシリコン窒化膜6を気相成長

法により形成する。次に、第1図(c)に示す様に周知のPR技術により、所定の位置にホトレジスト7を形成し、これをマスクとして、窒化膜8、酸化膜9、多結晶シリコン4を順次エッチング除去し、浮遊ゲート電極8、第二のゲート酸化膜9、ゲート窒化膜10を形成する。次に、第1図(d)に示す様に、ホトレジスト7を除去した後、例えば、スチーム雰囲気中で900℃、30分程度の酸化を行い、浮遊ゲート電極8の側面に十分な絶縁性を得るため、厚い側面シリコン酸化膜11を形成する。浮遊ゲート電極8上は、窒化膜があるため、酸化はほとんど進まない。なおこの時、半導体基板上にもある程度の厚さの酸化膜12が形成されるが、側面酸化膜11と厚さを比較すると、半分以下である。これは、多結晶シリコン表面の酸化速度が単結晶シリコン表面の酸化速度より速いためである。また、図示はしていないが、ゲート酸化膜10上にも薄い熱酸化膜が形成される。次に、第1図(e)に示す様に、半導体基板上の酸化膜12を、例えばバッファードフッ酸を用

いたウェット・エッチングにより除去した後、熱酸化法により、新たに第三のゲート酸化膜13を形成し、次いで全面に第二の多結晶シリコン層14を気相成長法により形成する。次に、第1図(f)に示す様に、周知のPR技術により所定の位置にホトレジスト15を形成し、これをマスクとして多結晶シリコン14をエッチング除去し、浮遊ゲート上の一部、浮遊ゲートの片側の側面、半導体基板上の一部を絶縁膜を介して覆うように、制御ゲート電極16を形成する。次に、第1図(g)に示す様に、ホトレジスト15を除去した後、浮遊ゲート電極11及び制御ゲート電極16をマスクとして、半導体基板にn型不純物、例えばリン或はヒ素を、イオン注入または拡散により導入し、次いで適度な熱処理を行うことにより、n型ドレイン領域17、n型ソース領域18を形成する。最後に、第1図(h)に示す様に、基板全面にリンガラス、シリコン酸化膜等の層間絶縁膜19を形成した後、周知のPR技術並びにエッチング技術により、ドレイン領域17上、ソース領域

18上、制御ゲート電極16上にコンタクト・ホールを形成し、次いで、アルミニウム電極20を形成することにより不揮発性半導体記憶装置を製造する。

以上説明したように本実施例では、浮遊ゲート側面に、第一のゲート絶縁膜が劣化しない低温で、絶縁特性が十分な厚さの酸化膜を形成し、浮遊ゲート上面には浮遊ゲート・制御ゲート間の結合容量値の高い酸化膜、窒化膜の多層構造を形成するため、制御ゲート電極・浮遊ゲート間の絶縁特性が良好で、かつ浮遊ゲート・制御ゲート間の結合容量値も従来とほぼ同じに得られる効果を有する。しかも、窒化膜中の電荷のトラップによるしきい値変動も防止される。

第2図は本発明の第二の実施例を説明するための一工程を示した半導体チップの断面図である。同図に示すように、制御ゲート電極を形成するまでは、第一の実施例の第1図(f)までに示した工程と同じである。次いで、後にドレインとなるべき領域に、比較的低ドーズ、例えば $10^{13} \sim 10^{14} \text{ cm}^{-2}$

のリンを注入法により導入して、比較的低濃度の低い、例えば $10^{17} \sim 10^{18} \text{ cm}^{-3}$ のn型領域21を形成した後、比較的高いドーズ、例えば $10^{18} \sim 10^{19} \text{ cm}^{-3}$ のヒ素をイオン注入法により導入して、比較的高濃度の高い例えば $10^{20} \sim 10^{21} \text{ cm}^{-3}$ のドレイン領域22、ソース領域23を形成する。この後の工程も第一の実施例と同様に行うことにより不揮発性半導体記憶装置を製造する。この実施例では、ドレイン側がDDD(Double Diffused Drain)構造であるので、ブレークダウン電圧が第一の実施例に比べて高く、消去時にドレインにより高電圧を印加できるので、消去時間が短くて済むという利点がある。

〔発明の効果〕

以上説明したように、本発明は多結晶シリコン層、酸化膜及び窒化膜の三層からなる浮遊ゲート電極を形成した後、浮遊ゲートの側面に、低温で厚い酸化膜を形成し、更に基板上にゲート酸化膜を除去し、そこに新たに第二のゲート酸化膜を形成した後、一部が浮遊ゲート電極と重なり基板上

に延在する制御ゲート電極を形成することにより、 1000°C 以上の高温プロセスを使うことなく、メモリを製造できるため、従来の製法で形成したメモリと比較して浮遊ゲート電極下のゲート酸化膜の膜質が良好で、かつ制御ゲート電極・浮遊ゲート間の絶縁特性が良好で、浮遊ゲート・制御ゲート間の結合容量値も従来とほぼ同程度であるメモリすなわち、良好な書き込み消去特性、繰り返し耐性を備えた不揮発性半導体記憶装置を製造することが可能となる。

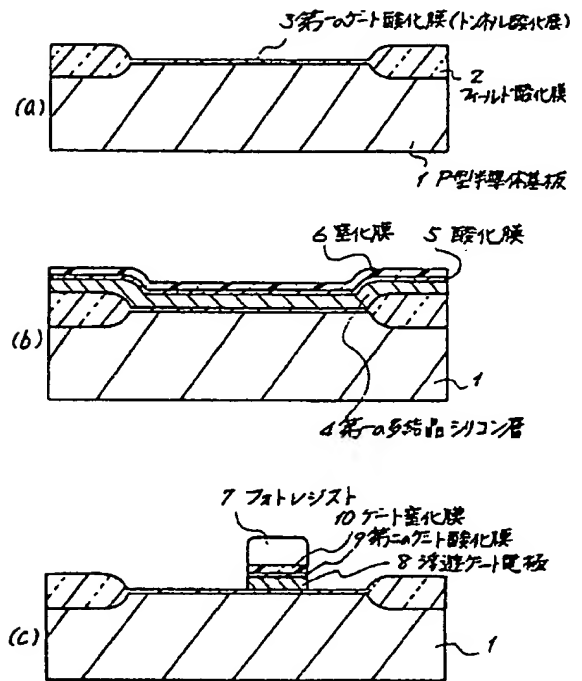
4. 図面の簡単な説明

第1図(a)ないし(h)は、本発明の第1の実施例を説明するための工程順に示した半導体チップの断面図、第2図は本発明の第二の実施例を説明するための一工程を示した断面図、第3図(a)ないし(c)は、従来のメモリの書き込み消去動作を説明するための半導体チップの断面図、第4図(a)ないし(e)は、従来の製造方法の一例を説明するための工程順に示した半導体チップの断面図、

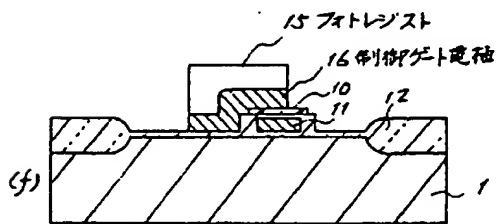
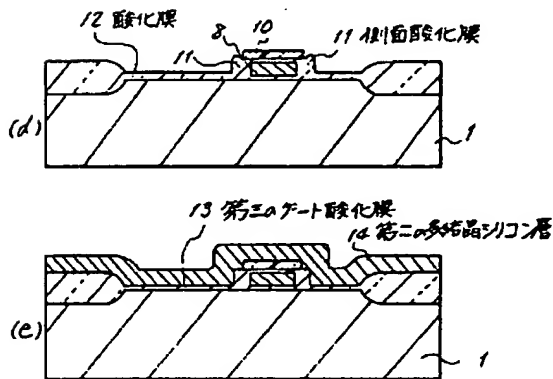
第5図は従来例の一例を示す半導体チップの断面図である。

1, 51, 101……P型半導体基板、2, 102……フィールド酸化膜、3, 54, 103, 111……第一のゲート酸化膜、4……第一の多結晶シリコン層、5, 12, 113, 115……酸化膜、6, 114……窒化膜、7, 15……フォトリソ、8, 55, 104, 112……浮遊ゲート電極、9, 56, 105……第二のゲート酸化膜、10……ゲート窒化膜、11……側面酸化膜、13……第三のゲート酸化膜、14……第二の多結晶シリコン層、16, 57, 106, 116……制御ゲート電極、17, 52, 107……ドレイン領域、18, 53, 108……ソース領域、19, 109……層間絶縁膜、20, 110……アルミ電極、59……ドレイン空乏層、117……一層ゲートトランジスタ部、21……濃度の低いn型領域。

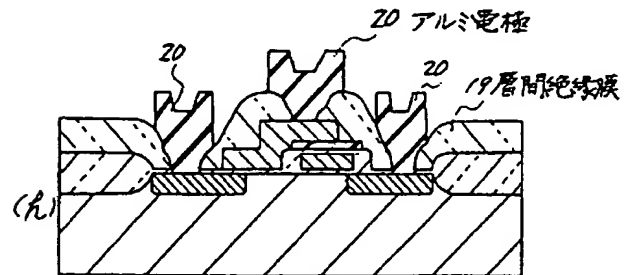
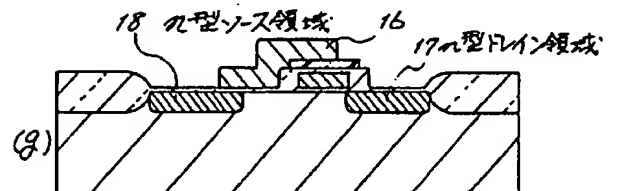
代理人 弁理士 内 原 晋



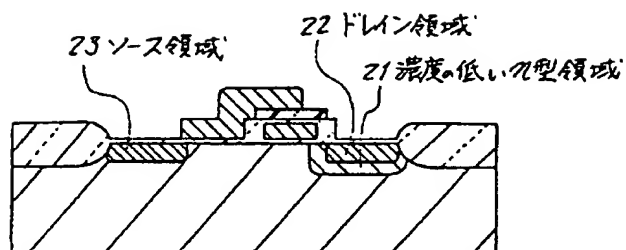
第1図



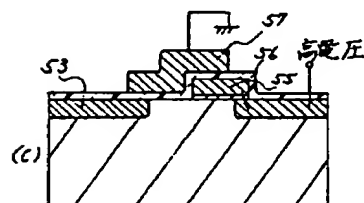
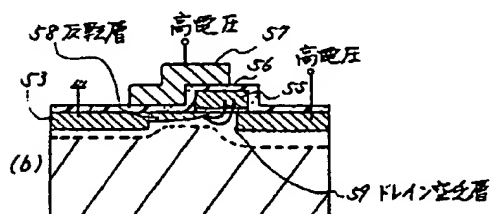
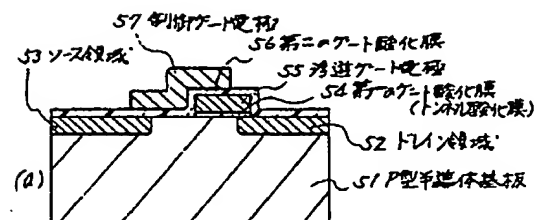
第1図



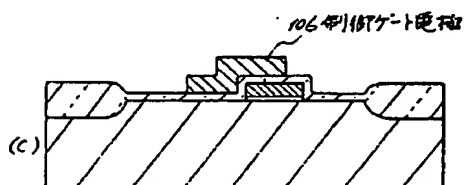
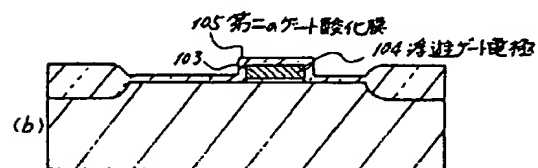
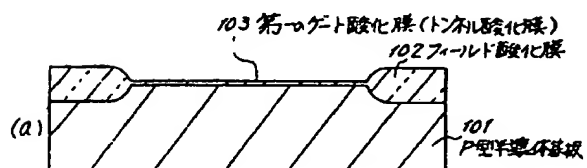
第1図



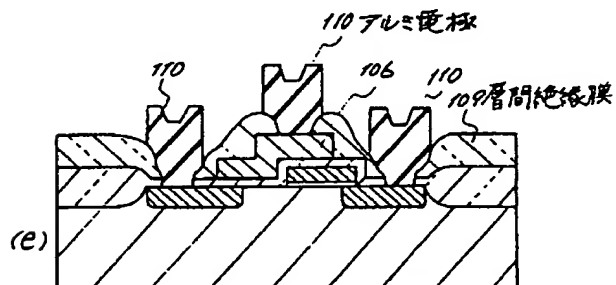
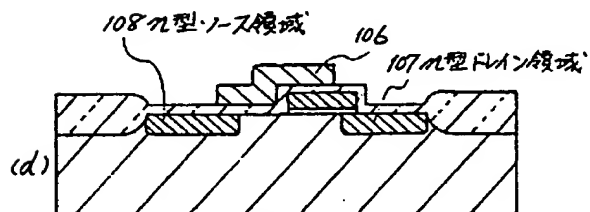
第2図



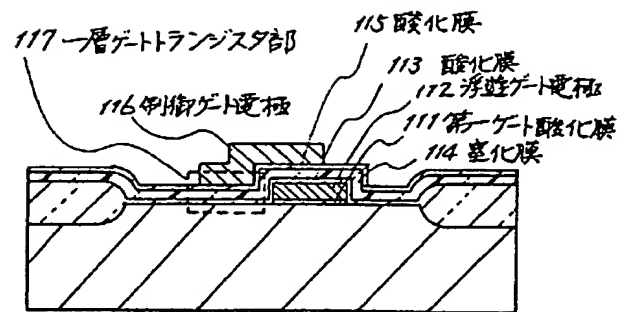
第3図



第4図



第4図



第5図